

MINI-WR / MINI-WR-EVB 使用手册

MINI-WR/MINI-WR-EVB User Manual

Version 20200731



信科太 (北京) 科技有限公司 Sync (Beijing) Technology

术语表

Glossary

DHCP (Dynamic Host	动态主机配置协议,用于获取网络配	
Configuration Protocol)	置	
FMC (FPGA Mezzanine Card)	FPGA 夹层卡,一种 ANSI 工业标准	
	卡	
HDL (Hardware description	硬件描述语言	
language)		
LM32(LatticeMico32)	为 FPGA 优化的 32bit 处理器软核	
NAND (NAND Flash Memory)	一种可擦除的非遗失的电脑存储器	
PCle (Peripheral Component	一种高速串行计算机扩展总线标准	
Interconnect Express)		
PTP(Precise Time Protocol)	精密时间协议,一种 IEEE 标准协	
	议,又称 IEEE1588	
SMA (Subminiature version A)	一种用于射频电路的同轴连接器	
SFP (Small form-factor pluggable	一种可以热插拔的光纤收发器	
transceiver)		
UART (Universal Asynchronous	通用异步串行收发器	
Receiver/Transmitter)		
WMI (Web Management	网页管理接口	
Interface)		
WR (White Rabbit)	一种高精度时钟同步技术	
WRS (White Rabbit Switch)	支持 WR 同步功能的交换机	
WRS-LJ (White Rabbit Switch low	低噪声版本 WRS	
jitter)		

版本:

V20200731: Add GUI for firmware update

V20200630: Add JST connector, heat sink, correct typo errors.

V20200505: Initial version

目录

术语表	Glossary	2
介绍	Introduction	5
产品概览	Interface overview	7
MINI-WR 模块	MINI-WR	7
MINI-WR-EVB 载板	MINI-WR-EVB	7
MINI-WR-EVB 开发平台	MINI-WR DEV	8
授时信号	Timing signals	9
连接管理	Management	11
快速连接	Quick startup	11
配置管理	Management	11
控制台命令	Console commands	12
固件升级	Firmware updates	14
升级准备工作	Preparation	14
升级步骤	Step by step	14
运行模式	Operation modes	16
GrandMaster 模式	Grandmaster mode	16
Free-run-Master 模式	Free-run-Master mode	17
Slave 模式	Slave mode	18
Cascade 模式	Cascade mode	18
Parallel 模式	Parallel mode	
数据传输	data transmission	20
RGMII-接口传输	RGMII interface	20
GMII-接口传输	GMII interface	20
IP <u>数据传输</u>	IP interface	21
UDP 传输	UDP interface	22
TCP- 传输	TCP interface	25
传输性能	BW performance	26
延迟标定	Calibration	27
载板集成	Integration	28
机械尺寸	Dimension	28
供电	Power Supply	28
散热	heat dissipation	29
固定	fixing	30

	SFP 端口	SFP ports	28
	输入输出信号	input/output timing signals	29
	邮票孔	Stamp holes	29
	布线要求及建议	Layout requirements	29
	FCI/JST 连接器	FCI/JST Connector	29
	FCI/JST 信号定义	FCI/JST signals	31
附录		Appendix	38
	详细参数	Specification	38
	包装	Package	39
	环保	Environment Friendly	39
	保修	Warranty	40
	安全警告	Safety	40
	FAQ 和错误诊断	FAQs & Troubleshooting	41
	联系我们	Contact US	41

介绍

Introduction

Mini-WR 是集成 White Rabbit 时钟同步功能的最简模块,提供包括邮票 孔、FCI 高速连接器等多种接口,载板只需为 Mini-WR 模块提供 3.3V 电压及相应的光纤链路接口,无需配置即可得到 WR 高精度同步时钟,时钟同步准确度好于 1ns(包括初始同步偏差和同步漂移),同步抖动好于 30ps。

Mini-WR 可以提供干兆 TCP/IP 数据处理协议栈(TCP offload Engineer),可以将用户模块的数据打包成 UDP 或者 TCP 数据包发往指定的主机或者从主机接收 UDP 或者 TCP 数据包。(可选项,请联系)

Mini-WR 可以支持两个具有 WR 功能的端口,能实现多种不同的工作模式: MINI-WR has three different working modes:

主源模式 GrandMaster mode	主源模式下,可以接入外部 10MHz, PPS 及 TOD 信息,Mini-WR 可以连接并同步两个 WR 从设备 Mini-WR in GM mode is able to connect with external 10MHz, PPS and TOD references and conservation two WPs calves through it dual SEP.	
	synchronize two WR salves through it dual SFP ports.	
	主节点模式下,Mini-WR 可以连接并同步两个 WR 从	
主节点模式	设备	
Free-run master	Mini-WR in free-run master mode can	
mode	synchronize two WR salves through it dual SFP	
	ports.	
	MINI-WR 只使用其一个端口(默认 SFP0), 作为普通	
· 普通节点模式	WR 节点与 WR 交换机或者其他 WR 节点连接	
Slave Mode	In Normal mode, MINI-WR acts as a normal WR	
node with one SFP port (SFP0). It can be connected to WRS or other WR master node.		
级联模式	个 MINI-WR 可以互相串连,形成链式拓扑	
Cascade Mode	In CM mode, two ports act as one down-link	
	(SFP1) and one up-link (SFP0) to support	

	cascade topology.
	并联模式下,MINI-WR 的两个端口均工作在从模
	式,可以分别和两个 WR 主设备连接。这两个链路可
	以构成冗余备份,在一个链路发生故障时,节点可以
并联模式	自动切换到另一个链路,保持定时信息的稳定连续。
Parallel Mode	In PM mode, both ports act as down-link that
	can connect to different WR up-link to form
	redundant WR connections to guarantee the
	reliability.

产品概览

Interface overview

MINI-WR 模块

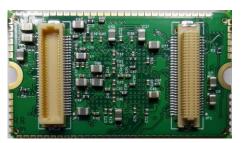
MINI-WR

核心板 MINI-WR 硬件形式如下图所示,



MINI-WR (TOP view)





MINI-WR bottom view (with FCI(Left)/JST(Right) connectors)

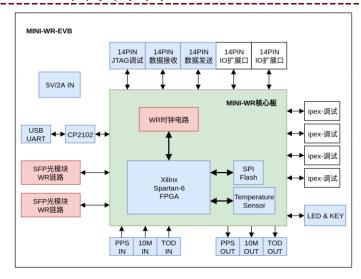
MINI-WR-EVB 载板

MINI-WR-EVB



MINI-WR-EVB

MINI-WR-EVB 开发平台 MINI-WR DEV



MINI-EVB 开发平台示意图

经过标定之后 MINI 开发平台与 WR 交换机或另一 MINI 开发平台之间的时钟同步准确度好于 1ns(包括初始同步偏差及工作时的同步偏差漂移),时钟同步精度(同步偏差的抖动或短时间变化)好于 30ps。MINI 开发平台提供 10MHz/PPS/TOD 输入,10MHz/PPS/TOD 时钟输出。

MINI-EVB 开发平台集成干兆 TCP/IP 协议栈(固件实现,可选配置),TCP 数据传输带宽大于 200Mbps,UDP 数据传输带宽大于 900Mbps (包括协议开销)。MINI 开发平台提供 14PIN 类 GMII 接口用于实现数据发送与接收。

MINI 开发平台所实现的具体功能如下:

● 核心板 MINI-WR

由 XILINX FPGA XC6SLX45T (Spartan-6 系列) + WR 时钟电路 + SPI Flash + 温度传感器等组成,集成 White Rabbit 时钟同步功能和高速数据传输功能,是目前支持 WR 时钟同步功能的最精简模块。XC6SLX45T FPGA 拥有 4个低功耗 3.2Gb/s 串行收发器,适用于光纤通信和 PCIe 数据通信。其中有 2个串行收发器通过 FCI 接口引出。

- 扩展板 MINI-WR-EVB
- ✓ 2路 SFP 高速光纤接口

支持干兆光纤以太网,数据率 1.25Gbps,支持标准 WR 时钟同步功能,支持级联 WR 时钟同步功能

- ✓ USB Uart 接口
 - 一路 Uart 转 USB 接口,用于和电脑通信,方便用户调试。串口芯片采用

Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口。默认波特率 115200, 8bit 数据位, 1bit 停止位, 无校验位。

- ✓ JTAG 🗆:
 - 14pin 2.54 标准的 JTAG 口,用于 FPGA 程序的下载和调试。
- ✓ PPS/10MHz/TOD 输入
- ✓ PPS/10MHz/TOD 输出
- ✓ 14pin 数据接收/发送接口 采用类 GMII 接口,8pin 数据位,2pin 控制位,详见数据传输功能。
- ✓ 14pin IO 扩展口
- ✓ LED
- ✓ 复位按键

授时信号

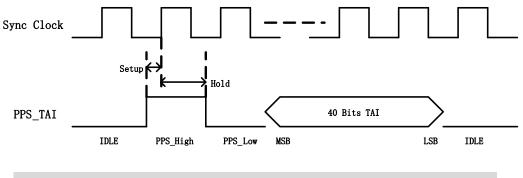
Timing signals

UTC/TAI 时间可以通过 USB 接口获得。使用串口调试工具访问 MINI-WR,输入命令"time"之后可以得到当前 TAI 时间。

UTC/TAI time information can be got through USB interface. Using a Serial Debug Tool to contact with MINI-WR, you can get the TAI time by typing command "time" .

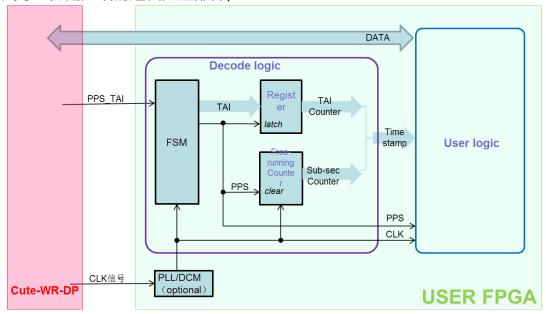
MINI-WR 提供 125MHz 或 10MHz 同步时钟、PPS 秒脉冲信号和 TAI 时间,为了节省引脚资源,PPS 信号和 TAI 时间进行合并串行编码后发送给板卡,其编码方式为:

MINI-WR provides 125MHz synchronized frequency, PPS signal and TAI information. The PPS and TAI are serially encoded to reduce the signals, as shown below.



PPS_H (1 cycle) + PPS_L (1 cycle) + 40 bit TAI (40 cycle)

这两个信号根据用户端的需要,通过前面板 LEMO/SMA 接口和 FMC 连接器输出。应用时,用户端应有逻辑对上述编码信号进行解码,并还原出 PPS信号和 TAI 时间编码,其基本逻辑结构如下图所示(左侧为 MINI-WR,右侧浅绿色为用户端的逻辑处理部件):



用户端可以直接使用 MINI-WR 提供的 Sync Clock 作为系统时钟或者用 PLL/DCM 进行进一步处理。

PPS_TAI 信号和 Sync-clock 源端对齐,其编码的起始脉冲 PPS_H 周期对应的时钟上升沿即代表了 TAI 整秒的对齐时刻,可以以此恢复出标准 PPS 信号;后续的 40bit 串行编码可以恢复出当前时刻的 TAI 计数。用户端可以使用 sync clock 维护一个亚秒时间计数器,当恢复出 PPS 信号的时刻将该亚秒计数器清零。这样在用户端即可获得 同步时钟,PPS 信号,(TAI 计数器+亚秒计数器)合并的完整时间戳。

上述用户端解码逻辑可以参照示例代码 fmc timer.v

连接管理

Management

快速连接

Quick startup

默认情况下,MINI-WR 的端口 0 (WR SFP0) 配置为 WR Slave 功能,端口 1 (WR SFP1) 配置为 WR Master 功能。

在对应的端口,分别插入对应的光模块;使用 G652D 单模光纤将该端口和匹配功能的其它 WR 设备连接,上电等待约 30s 后 MINI-WR 即与相连设备实现时钟同步。可以通过秒脉冲(PPS)输出判断设备间时间同步准确度。

配置管理

Management

通过 M_UART_I/O 可对 MINI-WR 核心板进行配置和调试,通信采用 UART 协议,波特率 115200,8 位数据位,1 位停止位,无校验位。

在 MINI 开发平台中,M_UART_I/O 信号已经使用 CP2102 转换为 USB 信号,计算机安装 CP2102 的驱动即可通过 Mini-USB 接口访问。

Linux 系统下可以使用软件 Minicom 或者 Putty 等串口调试工具,Windows 系统下可以使用 MobaXterm 或 Putty 等。

Linux 系统 Under Linux

在 linux 系统下,端口对应计算机上的不同设备,PC 可以使用类似 minicom、putty 等软件与 WRS 连接,波特率为 115200。

使用 minicom 连接的命令示例:

sudo minicom -D /dev/ttyUSB0 -b 115200

Under Linux environment, those USB ports are mounted as different devices. You can use terminal software such as minicom or putty to visit those devices. The default baud rate is 115200. An example command line like sudo minicom -D /dev/ttyUSB0 -b 115200

Windows 系统 Under windows

通过 Windows (XP、Vista、WIN7、WIN8) 连接 MINI-WR 的步骤如下:

- ✓ 下载并安装 Putty 等工具
- ✓ 插上 USB, 找到 Mini-USB 在 Windows 中对应的串口号,
- ✓ 打开 Putty,设置连接参数

To access MINI-WR through USB under Windows (XP, Vista, Win7, Win8,) download and install Putty

connect the USB cable to MINI-WR, check the correspond serial port number in window's "device manager" => "Ports (COM & LPT) " open Putty, set the configuration

控制台命令

Console commands

配置过程采用交互式命令行,类似 Linux 中的终端或 Windows 中的 CMD。目前节点支持的命令如下表(wrc#为提示符):

Help	帮助信息	
ver	查看当前版本	
time	查看当前时间	
temp	查看节点温度 温度单位: 摄氏度	
gui	查看同步状态 正常同步状态显示如下图所示。敲击 Esc 键可以退出状态显示模式。 WR PTP Core Sync Monitor v 1.0 Esc = exit TAI Time: Mon, Jan 5, 1970, 14:03:10 Link status: link up link down Mac address: 22:33:07:6d:22:ba 23:33:07:6d:22:ba IPv4 address: 192.168.0.8 192.168.0.9 RX Count: 91 0 TX Count: 31 0 PTP Mode: WR ON WR OFF WR Mode: WR SLAVE NONWR PLL Status: PLL locked PLL locked Calibration: Link Calibrated Link Calibrated PTP status: slave master Servo state: TRACK_PHASE Phase tracking: ON OFF Clock offset: 0 ps 0 ps Skew : 1 ps 0 ps Update counter: 12	
sfp show	查看当前各端口标定参数	
sfp erase	清除所有标定参数	
•		
sfp match	查看当前 SFP 的标识符/匹配各端口的标定参数	
sfp add sfpID dTx dRx alpha [port]	修改端口的标定参数,其中 sfpID 为 SFP 的标识符,dTx 为发送固定延时,dRx 为接收固定延时,alpha 为 光纤不对称性系数,port 为端口号(取值 0~1,默认为	

	0)。为了兼容之前的配置,各端口仅能分别保存一组 标定参数,因此在配置新参数时,需要将之前的参数 清除。	
mode	查看当前运行模式 slave/master/gm/cascaded	
mode slave [port]	修改当前运行模式 slave/master/gm/cascaded 注: cascaded 模式仅固件 MINI-WR-DP 支持	
ip	查看双端口 IP 地址	
ip set 192.168.0.3 [port]	配置双端口 IP 地址。默认子网掩码 255.255.255.0	
mac	查看节点 MAC 地址 MAC 地址不能修改。MINI-WR 的 MAC 地址为基地址+64bit 1-wire ID。	
init show	查看当前启动脚本	
init erase	清除启动脚本	
init add xxxx	启动脚本增加命令	
init boot	重启软核	
tcpip udp gateway xx.xxx.xxx	设置 UDP 模块网关地址	
tcpip udp subnet xx.xxx.xxx	设置 UDP 模块网段	
tcpip udp rxp	设置 UDP 数据接收监听端口号	
port_num	注: port_num 需要为大于 512 的数字	
tcpip udp txp port_num	设置 UDP 数据发送目的端口号	
tcpip udp dstip xx.xxx.xxx	置 UDP 数据发送目的 IP 地址	
calibration ext delay_value	GrandMaster 模式下修正 PPS 延时参数 注: 先测量 GrandMaster 模式下 PPS Input 与 PPS output 之间的延时值 delay_value,单位为 ps,然后通过上述命令设置延时值 delay_value,重新运行wrc#mode gm 使得该值生效。一般可将该命令及设置 GrandMaster 模式的命令加入到自启动脚本中。	

固件升级

Firmware updates

MINI-WR 的固件是指板上 FPGA 的编程文件。该固件可以通过网络连接的方式进行远程更新。

使用 Python 批处理 With Python Batch file

升级准备工作 Preparation

保证进行升级操作的计算机能够通过网络连接正常访问需要升级的 MINI-WR 模块。该连接不需要保证兼容 WR 协议,可以使用铜缆网线和铜口 SFP 来建立连接。

在计算机上下载并安装 python2.7 及以上版本,并预先下载需要升级的固件镜像文件,和远程更新批处理文件。

- O MINI-WR-xxx.bin
- O program_cute_wr_dp.py
- O remote_update.pyc

升级步骤 Step by step

请按如下步骤完成 MINI-WR 的在线固件升级

- 1. 以管理员身份打开 windows 的 "命令行提示符" , 即 CMD 工具
- 2. 检查 python 版本号是否为 2.7.15,运行命令 python --version

C:\Users\wrthu>python --version Python 2.7.15

3. 检查 PC 是否能与 MINI-WR 连接,假定 MINI-WR 的 IP 地址为 192.168.0.205,PC 的地址为 192.168.0.1。

运行命令 ping 192.168.0.205

```
(python27) C:\Users\wrthu\Downloads>ping 192.168.0.205

正在 Ping 192.168.0.205 具有 32 字节的数据:
来自 192.168.0.205 的回复:字节=32 时间=1ms TTL=63
来自 192.168.0.205 的回复:字节=32 时间=1ms TTL=63

192.168.0.205 的 Ping 统计信息:数据包:已发送=2,已接收=2,丢失=0(0% 丢失),往返行程的估计时间(以毫秒为单位):最短=1ms,最长=1ms,平均=1ms

Control-C
```

4. 用记事本等工具打开 program_mini_wr.py,将文件中的 UDP_IP 端修改

为待更新的 MINI-WR 的当前 IP 地址

```
#!/usr/bin/python
# -*- coding: utf-8 -*-
from remote_update import *
def main():

MY_IP = "192.168.0.1"

UDP_IP= "192.168.0.205"

filename = "./mini_wr_udp_elf.bin"

program_wr_mini(MY_IP,UDP_IP,filename)

if __name__ == '__main__': main()
```

5. 在 CMD 终端,运行命令 *python program_wr_cute_wr_dp.py* ,远程更新 MINI-WR。终端界面将出现提示: "Flash Erase start"、"Flash Erase done!"以及当前文件上传进度。等待若干分钟后出现提示"Program Success!"则意味着更新完成。

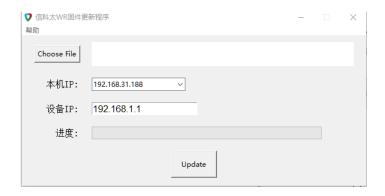


6. 将 MINI-WR 断电重启,等待 MINI-WR 加载完成后通过串口进行连接,运行命令 ver,查看输出的版本信息,确认更新成功。

使用 GUI 工具

With GUI

该 GUI 工具仅在 windows 操作系统环境下使用,需要保证计算机和待更新 节点已经处于同一 IP 网段。



运行模式

Operation modes

MINI-WR 可运行在 GrandMaster 主源模式、Free run Master 主模式、Slave 从模式、Cascade 级联模式及 Parallel 并联模式,下面将分别介绍各种运行模式的演示情况及操作说明。

主源模式

Grandmaster mode

硬件连接

MINI-WR 工作在 GrandMaster 模式下,需要外部时钟源提供 PPS、10MHz 和 TOD 信号。端口 SFP0 和端口 1 可以分别与 WR Slave 设备相连。

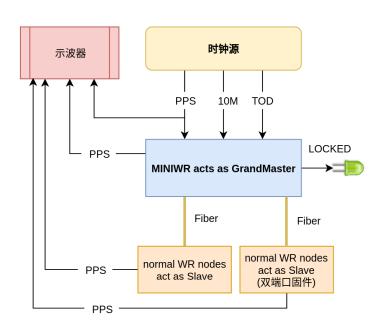


图 5 MINI-WR 工作在 GrandMaster 模式时硬件连接关系图

配置说明

上位机通过 USB UART 接口可以对 MINI-WR 进行配置。

- ✓ 命令 wrc#mode gm 将 MINI-WR 配置成 GrandMaster 模式。
- ✓ 命令 wrc#calibration ext delay_value 可以使 MINI-WR 的 PPS 输出与 PPS 输入对齐,该命令要在命令 wrc#mode gm 之前运行才会生效, delay value 的单位为皮秒。
- ✓ 将 MINI 开发平台的 PPS/10MHz/TOD 输入分别与外部时钟源相连:
 - 10MHz 时钟的相位噪声不能过大以确保 MINI-WR 能够与其锁定。
 - PPS 信号为上升沿有效,上升时间高电平持续时间大于 16ns。

10MHz 时钟与 PPS 信号需由同源时钟产生,且保持相位关系不发生变化。

- TOD 信号采用 UART 协议,波特率 115200,无校验位,8bit 数据位,1 位停止位。输入 TOD 信号表示当前输入 PPS 信号所表示的 UTC 秒信息,48bit (6bytes),即 6次 UART 数据传输,采用 LSB 模式传输,即低字节先发送。输入 TOD 信号需要每秒加 1,否则 MINIWR 会认为输入 TOD 信号无效。以 UTC 秒 305419896 为例,其 16 进制数为0x12345678,因此6bytes UART 传输分别为0x12,0x34,0x56,0x78,0x00,0x00。每一次 UART 传输同样为 LSB 模式,即 0x12 的数据传输分别为0-1-0-0-1-0。输入 TOD 信号需要在 PPS 信号上升沿之后,并且至少要在下一个 PPS 信号上升沿到来之前 10ms 完成传输。
- ✓ 等待外部时钟源频率稳定之后,上电 MINI-WR (GrandMaster) 并等待约 30s, MINI-WR 的信号 LOCKED_O 置位为'1'(高电平),表示此时 MINI-WR 已经与外部时钟源的 10MHz、PPS 锁定。如果外部时钟源 TOD 信息有效, MINI-WR 会在 USB UART 接口输出"TOD: Valid. WR TIME is set.",否则 MINI-WR 会在 USB UART 接口输出"TOD: Unvalid. WR TIME is not set."。
- ✓ 端口 SFP0 或端口 SFP1 (MINI-WR-DP) 都可作为 WR Master 与其他 WR Slave 设备连接,命令 wrc#ptp start <port>可以启动相应端口。等 待约 30s 后其他 WR Slave 设备将与 MINI-WR (GrandMaster) 同步。

运行在 GrandMaster 模式的 MINI-WR,自启动脚本 (init show) 包括以下内容:

calibration ext delay_value(ps)
mode gm
ptp start 0
ptp start 1

主模式

Free-run-Master mode

上位机通过 USB UART 接口可以对 MINI-WR 进行配置。注意该模式一般仅用于调试。

✓ 命令 wrc#mode master 将 MINI-WR 配置成 Free-run-Master 模式。当 MINI-WR 没有配置模式时,默认运行在 Free-run-Master 模式。

- ✓ Mini-WR 运行在 Free-run-Master 模式时,默认将输出 10MHz 时钟、PPS 以及 TOD 信息,但是都基于 MINI-WR 的本地时钟,此时信号 LOCKED O 将不会被置位,保持为'0'(低电平)
- ✓ Free-run-Master 模式下,端口 SFP0 或端口 SFP1 都可作为 WR Master 与其他 WR Slave 设备连接,命令 wrc#ptp start <port>可以启动相应端口。等待约 30s 后其他 WR Slave 设备将与 MINI-WR (GrandMaster) 同步。

运行在 Master 模式的 MINI-WR, 自启动脚本 (init show) 包括以下内容:

mode master

ptp start 0

ptp start 1

从模式 Slave mode

上位机通过 USB UART 接口可以对 MINI-WR 进行配置。

- ✓ 命令 wrc#mode slave 将 MINI-WR 配置成 Slave 模式。
- ✓ slave 模式下,端口 SFP0 可以作为 WR Slave 与其他 WR Master 设备同步,**端口 SFP1 仅用于数据传输**。
- ✓ 命令 wrc#ptp start 0 可以启动端口 SFP0。
- ✓ 当信号 LOCKED_O 为置位为'1'(高电平)时,说明 MINI-WR 已经与 WR Master 同步,其输出的 10MHz 时钟、PPS 以及 TOD 信息均与上一级 WR 设备保持一致。

运行在 Slave 模式的 MINI-WR,自启动脚本 (init show) 包括以下内容:

mode slave

ptp start 0

ptp start 1

级联模式

Cascade mode

Cascade 模式也被称为 Daisy chain 模式。该模式可以实现菊花链的拓扑结构。上位机通过 USB UART 接口可以对 MINI-WR 进行配置。

- ✓ 命令 wrc#mode cascade 将 MINI-WR 配置成 Cascaded 模式
- ✓ 在 Cascaded 模式下,端口 SFP0 可以作为 WR Slave 与其他 WR Master 设备同步,端口 SFP1 可以作为 WR Master 与其他 WR Slave 设备同步。

✓ 当信号 LOCKED_O 为置位为'1'(高电平)时,说明 MINI-WR 已经与上一级 WR 设备同步,其输出的 10MHz 时钟、PPS 以及 TOD 信息均与 WR Master 保持一致。

运行在 Cascaded 模式的 MINI-WR, 自启动脚本 (init show) 包括以下内容:

mode cascaded ptp start 0 ptp start 1

并联模式

Parallel mode

并联模式下,MINI-WR的两个端口均工作在从模式,可以分别和两个WR主设备连接。这两个链路可以构成冗余备份,在一个链路发生故障时,节点可以自动切换到另一个链路,保持定时信息的稳定连续。(开发中。。。。) In PM mode, both ports act as down-link that can connect to different WR up-link to form redundant WR connections to guarantee the reliability. (under development)

数据传输

data transmission

WR 技术兼容 1000Base-BX 标准,提供精确时钟的同时还能完成基于以太网的数据交换。在 Mini-WR 模块内,可以实现对网络传输的 GMII 接口,也可以进行 IP 层处理,也可以通过固件增加对 UDP,TCP 协议的直接处理。

目前 Mini-WR 默认提供 GMII 模式的支持。如果需要其他处理模式,请联系我们。

WR is compatible with 1000Base-BX, it is a standard ethernet link besides providing the precise clock signal.

RGMII 接口传输

RGMII interface

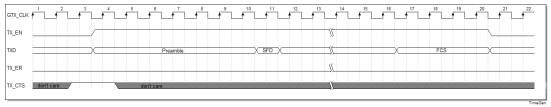
MINI-WR 提供了满足 IEEE 802.3 协议的 RGMII 接口和数据传输功能(该功能由 MINI-WR 固件提供支持,并非 WR 标准功能)。

GMII 接口传输

GMII interface

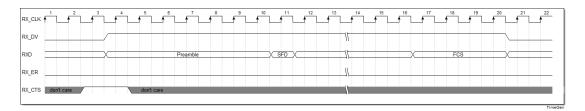
MINI-WR 提供了满足 IEEE 802.3 协议的 GMII 接口和数据传输功能(该功能由 MINI-WR 固件提供支持,并非 WR 标准功能)。

GMII 接口的发送时序:



传输发送开始时需要将 TX_CTS 置为 1,才能正常开始传输。帧传输过程中,TX_CTS 即使置为 0,也会正常传输直到该帧传输完。所有的信号都是与"GTX CLK"源同步的。

GMII 接口的接收时序:

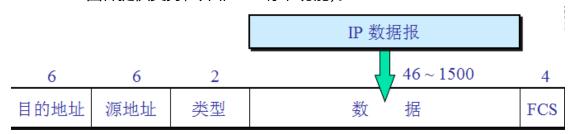


传输接收时,需要需要检查 RX_CTS 是否为 1,只有 RX_CTS 为 1 时,才能正常开始传输。传输过程中,RX_CTS 可能会为 0,但不需要检查 RX_CTS,可以正常传输直到该帧传输完。所有信号都应该与输入时钟"RX_CLK"是源同步的。

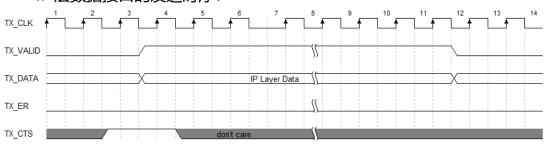
IP 数据传输

IP interface

MINI-WR 提供了满足 IEEE 802.3 协议的 IP 层数据传输功能(该功能由 MINI-WR 固件提供支持,并非 WR 标准功能)。

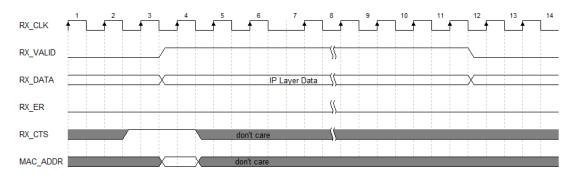


IP 层数据接口的发送时序:



传输发送开始时,需要将 TX_CTS 置为 1, 皆可才能正常开始传输。帧传输过程中,TX_CTS 即使置为 0, 也会正常传输直到该帧传输完。只会发送满足目的 MAC 地址为本机,且类型为 IP 数据包(0x0800)的数据包。所有的信号都是与"TX CLK"是源同步的。

IP 层数据接口的接收时序:



传输接收时,需要需要检查 RX_CTS 是否为 1,只有 RX_CTS 为 1 时,才能正常开始传输。传输过程中,RX_CTS 可能会为 0,但不需要检查 RX_CTS,可以正常传输直到该帧传输完。接收数据时,会以 RX_VALID 信号起始时刻输入的 MAC 地址作为目的 MAC 地址。内部逻辑会自行添加 MAC 所需的其余部分,包括前导码和桢起始符,源 MAC 地址(也就是本机的 MAC 地址)、类型(0x0800)和 FCS。所有信号都应该与输入时钟"RX_CLK"是源同步的。

UDP 传输

UDP interface

MINI-WR 默认提供了 UDP 的数据传输功能(该功能由 MINI-WR 固件提供支持,并非 WR 标准功能)。

数据传输功能将分为端口配置\数据发送\数据接收三部分介绍。 所有输入数据信号(M_PDATA/R_PDATA)均在 125MHz 时钟的上升沿采样,所有输出数据信号(M_PDATA/R_PDATA)均在 125MHz 时钟的下降沿输出。125MHz 时钟与时钟 R_CLK_125_O_P(N)存在确定的相位差,相位差在 1ns 以内。

端口配置

当前 UDP 模块默认配置信息如下,可通过串口对下列配置进行修改.

- 1. UDP 模块监听端口: MINI-WR 默认监听所有大于 512 的 UDP 端口
- 2. UDP 模块发送的源端口和目的端口: MINI-WR 默认发送源端口和目的端口均为 2000
- 3. UDP 模块发送目的 IP 及其 MAC 地址: MINI-WR 默认发送目的 IP 为其当前 IP 的默认网关地址(比如当前 MINI-WR 的 IP 为 192.168.0.22,则它默认发送目的 IP 为 192.168.0.1). 上电后 Mini-WR 会自动发送 ARP 数据包查询目的 IP 所对应的 MAC 地址。可以通过前述"设置 UDP 数据发送目的 IP 地址"的命令更改发送目的 IP 地址,将设置命令添加到自启动脚本中。

数据发送

信号说明: 数据发送部分包括 M_PDATA_VALID_I、M_PDATA_CTS_O、M_PDATA_0_I 、 M_PDATA_1_I 、 M_PDATA_2_I 、 M_PDATA_3_I 、 R_PDATA_4_I 、 R_PDATA_5_I 、 R_PDATA_6_I 、 R_PDATA_7_I , 其 中 M_PDATA_CTS_O 为输出信号,其他为输入信号。

M_PDATA_0_I+M_PDATA_1_I+M_PDATA_2_I+M_PDATA_3_I+R_PDATA 4 I+R PDATA 5 I+R PDATA 6 I+R PDATA 7 I 为 8bit 数据位。

M_PDATA_VALID_I 为发送数据有效位,为输入信号(相对 MINI-WR),表示当前 8bit 数据有效。对于发送数据有效位连续为'1'的数据将被组成一个UDP 数据帧,即发送数据位由'0'置为'1'时开始发送一个新的 UDP 数据帧,当发送数据位由'1'变为'0'时,UDP 数据帧则截止。正常情况下,UDP 数据帧不宜超过 1400bytes。

M_PDATA_CTS_O 为发送数据流量控制位,为输出信号(相对 MINI-WR)。 当该信号为'1'表示允许接收数据,用户模块在发送每一帧数据之前都必须检查 该信号是否为'1',只有为'1'才能开始传输数据。用户模块在开始发送一帧数据 之后,不需要再检查 M_PDATA_CTS_O 是否为'1'。 流程图如下:

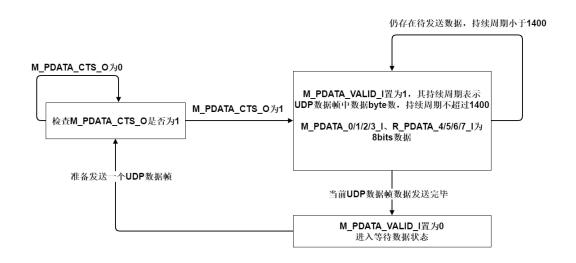


图 7 MINI-WR 的 UDP 数据发送流程图

数据接收

信号说明: 数据接收部分包括 M_PDATA_CTL_1_O、M_PDATA_CTL_2_O、M_PDATA_0_O 、 M_PDATA_1_O 、 M_PDATA_2_O 、 M_PDATA_3_O 、 R_PDATA_4_O、R_PDATA_5_O、R_PDATA_6_O、R_PDATA_7_O。所有信号

均为输出信号。

M PDATA CTL 1 O 和 M PDATA CTL 2 O 为 2bit 接收数据控制位。

当 2bit 接收数据控制位为"10"时,表示 UDP 数据帧的起始,此时当前传输数据有效,且为UDP数据帧数据部分的头部;当 2bit 接收数据控制位为"01"时,表示 UDP 数据帧的末尾,此时当前的 UDP 数据帧数据有效。

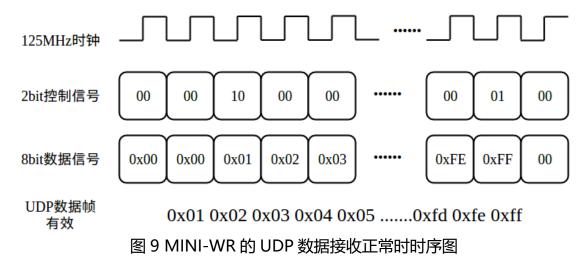
若出现 2bit 接收数据控制位为"11"时,同样表示当前 UDP 数据帧的末尾,但是此时 UDP 数据帧出现数据校验错误,即当前 UDP 数据帧数据无效。

UDP 数据默认接收只包含下图中数据部分,不包含 UDP 帧头 64bit 的信息 (源/目的端口号、UDP 长度、校验和)。



图 8 MINI-WR 的 UDP 数据接收的示意图

下图是正常传输情况下的时序图,控制信号为 01 表示 UDP 数据帧起始,控制信号为 10 表示 UDP 数据帧结束。



下图是 UDP 数据帧出现校验错误情况下的时序图,控制信号为 01 表示 UDP 数据帧起始,控制信号为 11 表示 UDP 数据帧异常结束,即 UDP 数据帧 校验错误。

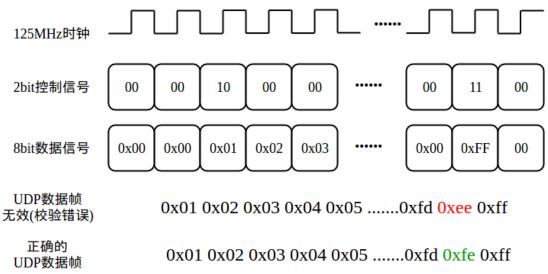


图 10 MINI-WR 的 UDP 数据接收异常时时序图

数据传输功能(双端口收发数据固件)

双端口收发数据功能与前述单端口收发数据功能基本一致,仅在整个接收或发送报文的最开始有 2 字节数据用于指示端口信息,其结构为

特征字符	端口号
AB	00 / 01

比如用户在使用单端口收发数据固件时接收到的 UDP 报文为"05 06 07 08 ...",那么在使用双端口收发数据固件时,若数据从端口 0 接收,则接收到的 UDP 报文为"AB 00 05 06 07 08 ...";若数据从端口 1 接收,则接收到的 UDP 报文为"AB 01 05 06 07 08 ..."。

比如用户在使用单端口收发数据固件时发送的 UDP 报文为"05 06 07 08 ...",那么在使用双端口收发数据固件时,若想要数据从端口 0 发送,则发送的 UDP 报文应为"AB 00 05 06 07 08 ...";若想要数据从端口 1 发送,则发送的 UDP 报文应为"AB 01 05 06 07 08 ..."。

TCP 传输 TCP interface

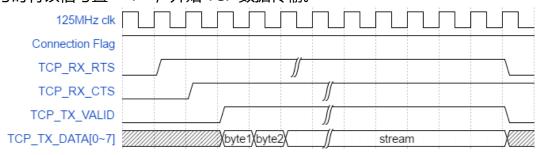
MINI-WR 提供了 TCP 的数据传输功能 (该功能由 MINI-WR 固件提供支持,并非 WR 标准功能)。

TCP 的接收时序:

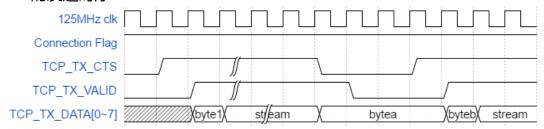
MINI-WR 节点作为 TCP 服务端,在端口 8000 临听,等待 TCP 客户端请

求后建立连接。TCP 连接建立后才能通过 TCP 进行数据传输。

TCP_connect_flag 为 '1' 表示 TCP 连接已建立。TCP_RX_RTS 表示接收到 TCP 数据,等待传输。TCP_RX_CTS 为流量控制信号,用户模块可以接收信号时将该信号置 '1',开始 TCP 数据传输。



TCP 的发送时序:



传输性能

BW performance

1 台 MINI-WR 通过 1 台 WRS 与个人 PC 连接进行数据传输,PC 采用千兆网卡,通过软件测试传输带宽。该测试结果受到测试环境,包括 PC 端硬件环境,网络环境和系统软件配置的影响,仅供参考。

- (1) 使用 UDP 传输时,有效带宽能达 926Mbps。
- (2) 使用 TCP 传输时,有效带宽能达 258Mbps。

延迟标定

Calibration

出厂前 MINI-WR 的两个端口都需要作为 WR Slave 运行一次,以获取内部固定延迟参数。详细标定流程请参见《WR 应用指南》。

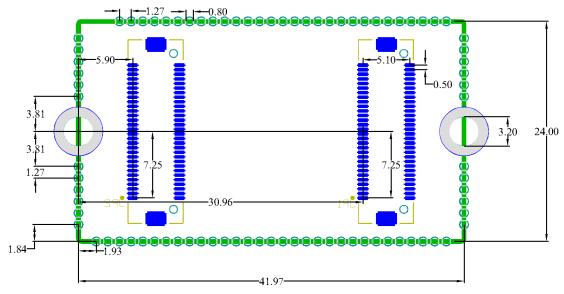
载板集成

Integration

机械尺寸

Dimension

MINI-WR 的总长度 42mm, 总宽度 24mm。两个 FCI 或 JST 接插件之间 的距离为 986.6mil(25.06mm), 两接插件朝向一致。



MINI-WR 尺寸图 (top view)

MINI-WR dimension (top view)

上图所示为顶视图 (从上往下看,接插件为透视所见,接插件旁带 "·" 标志的为 1 号管脚): (单位 mm)

供电

Power Supply

MINI-WR通过 FCI/JST 连接器或者邮票孔的相应引脚供电,供电电压 3.3v,功 耗约 4W。

SFP 端口 SFP ports

MINI-WR 尺寸非常紧凑,无法放置 SFP 机壳。载板根据需要,需提供 1 个或 2 个 SFP 机壳。请按推荐提供合适的电源滤波,并将 SFP 的相应信号连接到 MINI-WR 的连接器上。SFP 连接的是 1.25G 的高速差分信号,需要注意保证相关部分的信号完整性,严格按照高速差分的布线要求,保证阻抗匹配和连续,保证差分对等长,同一个 SFP 的 Rx/Tx 差分对等长,并尽可能减少差分线对走线长度。

输入输出信号 input/output timing signals

MINI-WR 可以连接外部 PPS、10MHz、125MHz 及 TOD 信号,并能输出这 些信号。由于 10M/125M 信号的输入输出会直接影响 WR 系统的时钟质量和 抖动指标,请按 MINI-WR-EVB 的方式提供相应的时钟输入输出预处理电路。 PPS、TOD 必须使用输入输出缓冲和驱动电路, 严禁将 MINI-WR 的引脚信号 直接连接到外部输入输出的连接器上,由此可能产生器件损坏。

Stamp holes

MINI-WR 上下分别有 29 个、32 个邮票孔, 左右分别有 13 个邮票孔。邮 票孔孔径大小 0.8mm, 焊盘长度 1mm, 宽度 0.8mm, 邮票孔之间距离为 1.27mm。 由于Mini-WR背面有部分电容,因此其载板的部分区域需要镂空。 邮票孔使用方式请单独咨询。

布线要求及建议 Layout requirements

- ✓ 差分信号 100 欧姆信号 50 欧姆匹配
- ✓ M SFPO I 和 M SFPO O 是高速差分信号线,组内线等长,且尽可能保证 两组线之间长度相等, 距离靠近
- ✓ M SFP1 I 和 M SFP1 O 是高速差分信号线,组内线等长,且尽可能保证 两组线之间长度相等,距离靠近
- ✓ 时钟信号及秒脉冲信号长度尽可能短

散热

heat dissipation

MINI-WR 板卡尺寸较小,在进行系统集成时需要特别考虑对 MINI-WR 进行散 热。建议在 MINI-WR 的主芯片 (FPGA) 上增加散热器,采取风冷或者液冷进 行散热。也可以选购 Mini-WR 一体式鳍片散热器,在改善散热的同时也提供了 更好的保护。











固定 fixing

MINI-WR 左右两侧有两个紧固半孔,推荐采用类似 M.2 存储卡的固定方式。 载板必须提供对应的安装空位,并使用支撑螺柱。

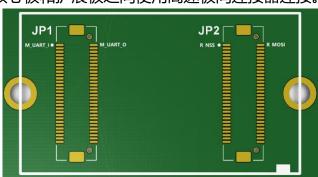




FCI/JST 连接器

FCI/JST Connector

MINI-WR 核心板和扩展板之间使用高速板间连接器连接。



MINI-WR 的底板连接器布局示意图

该连接器可以使用以下两种型号:

▶ **FCI 连接器:** 该连接器为公母同一型号的 2x60pin MezzoStak 自匹配型接插件,核心板和扩展板的型号相同,为: <u>amphenol-icc</u> 10106813-063112LF。 该接插件高度 3mm,长度 19.74mm,在同一系列和引脚数目下,载板仍可以按需要选择不同堆叠高度的型号。该型号的连接器在早期的 Mini-WR 版本中使用,**不推荐在新的设计中使用该连接器**。



▶ **JST 连接器**: 该连接器为 <u>JST 公司的 JMD 系列</u>, 分为公母两种。由于该连接器是对称的,为了避免 Mini-WR 模块被插反,其 JP1 和 JP2 两个连接器分别焊接了插头和插座,对应的载板上应分别焊接插座和插头。

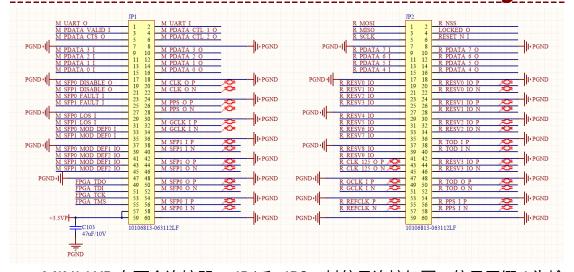




	JP1	JP2
Mini-WR 焊接型号	60P-JMDSS-G-1-TF	60R-JMDSS-G-1-TF(S)
载板焊接型号	60R-JMDSS-G-1-TF(S)	60P-JMDSS-G-1-TF

FCI/JST 信号定义

FCI/JST signals



MINI-WR 有两个连接器,JP1 和 JP2,其信号连接如图。信号尾缀-I 为输入,表示为由载板(比如 MINI-WR-EVB)传输给 MINI-WR, 尾缀-O 为输出,表示由 MINI-WR 传输给载板。

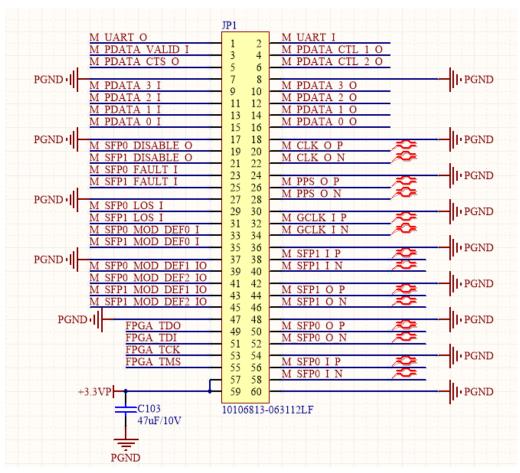
单端信号为 LvCMOS33 电平,差分信号为 LVDS33 电平。

MINI-WR 的底板的接口信号定义,与 MINI-WR 为镜像关系,需要特别注

意:

- ◇ RESET_N_I 为 MINI-WR 的复位信号, 低电平有效, 即 Mini-WR 正常工作 时 RESET N I 需要保持高电平。
- ◆ 图中 SFP 的 MOD_DEF1, MOD_DEF2 和 Rate_Select 信号均需要通过电阻 上拉到 3.3v.

JP1 连接器引脚说明

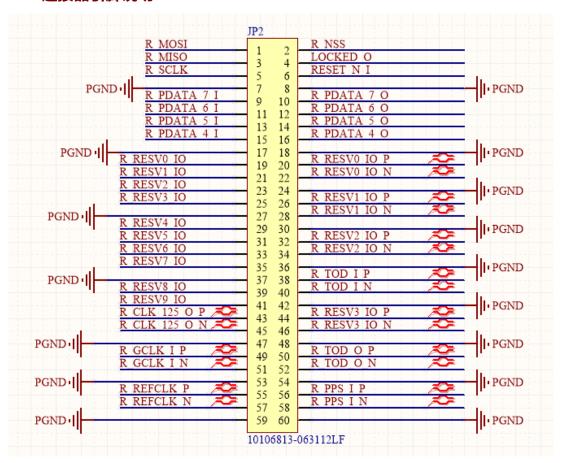


管脚序号	管脚名称	管脚说明 (UDP mode)	管脚方向
M-1	M_UART_O	串口信号,用于配置参数	LVCMOS33 输出
M-2	M_UART_I	串口信号,用于配置参数	LVCMOS33 输入
M-3	M_PDATA_VALID_I	往 MINI 发送的数据信号有效位	LVCMOS33 输入
M-4	M_PDATA_CTL_1_O	从 MINI 接收的数据信号控制位	LVCMOS33 输出
M-5	M_PDATA_CTS_O	往 MINI 发送的数据信号流量控制位	LVCMOS33 输出
M-6	M_PDATA_CTL_2_O	从 MINI 接收的数据信号控制位	LVCMOS33 输出
M-7	GND	地	地
M-8	GND	地	地

M-9 M_PDATA_3_I 住MINI 複述的数据信号第3位 LVCMOS33 输入 M-10 M_PDATA_3_O 从 MINI 接收的数据信号第3位 LVCMOS33 输入 M-11 M_PDATA_2_I 住 MINI 发送的数据信号第3位 LVCMOS33 输入 M-12 M_PDATA_1_I 住 MINI 发送的数据信号第3位 LVCMOS33 输入 M-14 M_PDATA_1_O 从 MINI 接收的数据信号第3位 LVCMOS33 输入 M-15 M_PDATA_0_I 住 MINI 发送的数据信号第0位 LVCMOS33 输入 M-16 M_PDATA_0_O 从 MINI 接收的数据信号第0位 LVCMOS33 输出 M-17 GND 地 地 M-18 GND 地 地 M-19 M_SFPO_DISABLE_O 第0号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-20 M_CLK_O_P 10MHz 同步时钟输出 LVDS_P 输出 M-21 M_SFP1_DISABLE_O 第1号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-22 M_CLK_O_P 10MHz 同步时钟输出 LVDS_P 输出 M-23 M_SFP1_FAULT_I 第0号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第1号 SFP 的 FAULT 信号 LVCMOS33 输入 </th <th></th> <th></th> <th></th> <th></th>				
M-11 M_PDATA_2_I 往MINI 发送的数据信号第 2 位	M-9	M_PDATA_3_I	往 MINI 发送的数据 信号第 3 位	LVCMOS33 输入
M-12 M_PDATA_2_O 从 MINI 接收的数据信号第 2 位 LVCMOS33 输出 M-13 M_PDATA_1_I 往 MINI 发送的数据信号第 1 位 LVCMOS33 输入 M-14 M_PDATA_1_O 从 MINI 接收的数据信号第 1 位 LVCMOS33 输出 M-15 M_PDATA_0_I 往 MINI 发送的数据信号第 0 位 LVCMOS33 输入 M-16 M_PDATA_0_O 从 MINI 接收的数据信号第 0 位 LVCMOS33 输出 M-17 GND 地 地 M-18 GND 地 地 M-18 GND 地 地 M-19 M_SFP0_DISABLE_O 第 0 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-20 M_CLK_O_P 10MHz 同步时钟输出 LVCMOS33 输出 M-21 M_SFP1_DISABLE_O 第 1 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-22 M_CLK_O_N 10MHz 同步时钟输出 LVCMOS33 输出 M-23 M_SFP1_EAULT_I 第 0 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 <td< td=""><td>M-10</td><td>M_PDATA_3_O</td><td>从 MINI 接收的数据信号第 3 位</td><td>LVCMOS33 输出</td></td<>	M-10	M_PDATA_3_O	从 MINI 接收的数据信号第 3 位	LVCMOS33 输出
M-13	M-11	M_PDATA_2_I	往 MINI 发送的数据信号第 2 位	LVCMOS33 输入
M-14 M_PDATA_1_O 从 MINI 接收的数据信号第 1 位 LVCMOS33 输出 M-15 M_PDATA_0_I 往 MINI 发送的数据信号第 0 位 LVCMOS33 输入 M-16 M_PDATA_0_O 从 MINI 接收的数据信号第 0 位 LVCMOS33 输出 M-17 GND 地 地 M-18 GND 地 地 M-19 M_SFP0_ISABLE_O 第 0 号 SFP 的 ISABLE 信号 LVCMOS33 输出 M-20 M_CLK_O_P 10MHz 同步时钟输出 LVDS_P 输出 M-21 M_SFP1_ISABLE_O 第 1 号 SFP 的 ISABLE 信号 LVCMOS33 输出 M-22 M_CLK_O_N 10MHz 同步时钟输出 LVDS_N 输出 M-22 M_CLK_O_N 10MHz 同步时钟输出 LVDS_N 输出 M-23 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVDS_N 输出 <td>M-12</td> <td>M_PDATA_2_O</td> <td>从 MINI 接收的数据信号第 2 位</td> <td>LVCMOS33 输出</td>	M-12	M_PDATA_2_O	从 MINI 接收的数据信号第 2 位	LVCMOS33 输出
M-15 M_PDATA_0_I 往 MINI 发送的数据信号第 0 位 LVCMOS33 输入 M-16 M_PDATA_0_O 从 MINI 接收的数据信号第 0 位 LVCMOS33 输出 地 地 地 地 地 地 地 地 地 地 地 地 地 地 地 地 地 地	M-13	M_PDATA_1_I	往 MINI 发送的数据信号第 1 位	LVCMOS33 输入
M-16 M_PDATA_0_O 从 MINI 接收的数据信号第 0 位 LVCMOS33 输出 M-17 GND 地 地 M-18 GND 地 地 M-19 M_SFP0_DISABLE_O 第 0 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-20 M_CLK_O_P 10MHz 同步时钟输出 LVDS_P 输出 M-21 M_SFP1_DISABLE_O 第 1 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-22 M_CLK_O_N 10MHz 同步时钟输出 LVDS_N 输出 M-23 M_SFP0_FAULT_I 第 0 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒除冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒除冲信号输出 LVDS_N 输出 M-29 M_SFPO_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz	M-14	M_PDATA_1_O	从 MINI 接收的数据信号第 1 位	LVCMOS33 输出
M-17	M-15	M_PDATA_0_I	往 MINI 发送的数据信号第 0 位	LVCMOS33 输入
M-18 GND 地 地 M-19 M_SFPO_DISABLE_O 第 0 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-20 M_CLK_O_P 10MHz 同步时钟输出 LVDS_P 输出 M-21 M_SFP1_DISABLE_O 第 1 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-22 M_CLK_O_N 10MHz 同步时钟输出 LVDS_N 输出 M-23 M_SFP0_FAULT_I 第 0 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFP0_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-34 M_CLK_I_N	M-16	M_PDATA_0_O	从 MINI 接收的数据信号第 0 位	LVCMOS33 输出
M-19 M_SFP0_DISABLE_O 第 0 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-20 M_CLK_O_P 10MHz 同步时钟输出 LVDS_P 输出 M-21 M_SFP1_DISABLE_O 第 1 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-22 M_CLK_O_N 10MHz 同步时钟输出 LVDS_N 输出 M-23 M_SFP0_FAULT_I 第 0 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFP0_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEFO_I 第 0 号 SFP 的 MOD_DEFO 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_P 输入 <td< td=""><td>M-17</td><td>GND</td><td>地</td><td>地</td></td<>	M-17	GND	地	地
M-20 M_CLK_O_P 10MHz 同步时钟輸出 LVDS_P 輸出 M-21 M_SFP1_DISABLE_O 第 1 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-22 M_CLK_O_N 10MHz 同步时钟输出 LVDS_N 输出 M-23 M_SFP0_FAULT_I 第 0 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFP0_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 <t< td=""><td>M-18</td><td>GND</td><td>地</td><td>地</td></t<>	M-18	GND	地	地
M-21 M_SFP1_DISABLE_O 第 1 号 SFP 的 DISABLE 信号 LVCMOS33 输出 M-22 M_CLK_O_N 10MHz 同步时钟输出 LVDS_N 输出 M-23 M_SFP0_FAULT_I 第 0 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFP0_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVCMOS33 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 <	M-19	M_SFP0_DISABLE_O	第 0 号 SFP 的 DISABLE 信号	LVCMOS33 输出
M-22 M_CLK_O_N 10MHz 同步时钟輸出 LVDS_N 輸出 M-23 M_SFPO_FAULT_I 第 0 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFPO_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连	M-20	M_CLK_O_P	10MHz 同步时钟输出	LVDS_P 输出
M-23 M_SFP0_FAULT_I 第 0 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFPO_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-21	M_SFP1_DISABLE_O	第 1 号 SFP 的 DISABLE 信号	LVCMOS33 输出
M-24 GND 地 地 M-25 M_SFP1_FAULT_I 第 1 号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFPO_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-22	M_CLK_O_N	10MHz 同步时钟输出	LVDS_N 输出
M-25 M_SFP1_FAULT_I 第1号 SFP 的 FAULT 信号 LVCMOS33 输入 M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFP0_LOS_I 第0号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第1号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第0号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第1号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第1号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-23	M_SFP0_FAULT_I	第 0 号 SFP 的 FAULT 信号	LVCMOS33 输入
M-26 M_PPS_O_P 秒脉冲信号输出 LVDS_P 输出 M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFPO_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-24	GND	地	地
M-27 GND 地 地 M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFPO_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-25	M_SFP1_FAULT_I	第 1 号 SFP 的 FAULT 信号	LVCMOS33 输入
M-28 M_PPS_O_N 秒脉冲信号输出 LVDS_N 输出 M-29 M_SFPO_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_P 输入	M-26	M_PPS_O_P	秒脉冲信 号 输出	LVDS_P 输出
M-29 M_SFP0_LOS_I 第 0 号 SFP 的 LOS 信号 LVCMOS33 输入 M-30 GND 地 地 M-31 M_SFP1_LOS_I 第 1 号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_P 输入	M-27	GND	地	地
M-30 GND 地 地 M-31 M_SFP1_LOS_I 第1号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第0号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第1号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第1号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_P 输入	M-28	M_PPS_O_N	秒脉冲信 号 输出	LVDS_N 输出
M-31 M_SFP1_LOS_I 第1号 SFP 的 LOS 信号 LVCMOS33 输入 M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第0号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第1号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第1号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-29	M_SFP0_LOS_I	第 0 号 SFP 的 LOS 信号	LVCMOS33 输入
M-32 M_CLK_I_P 10MHz 时钟输入 LVDS_P 输入 M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_P 输入	M-30	GND	地	地
M-33 M_SFP0_MOD_DEF0_I 第 0 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第 1 号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-31	M_SFP1_LOS_I	第 1 号 SFP 的 LOS 信号	LVCMOS33 输入
M-34 M_CLK_I_N 10MHz 时钟输入 LVDS_N 输入 M-35 M_SFP1_MOD_DEF0_I 第1号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第1号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-32	M_CLK_I_P	10MHz 时钟输入	LVDS_P 输入
M-35 M_SFP1_MOD_DEF0_I 第1号 SFP 的 MOD_DEF0 信号 LVCMOS33 输入 M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第1号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-33	M_SFP0_MOD_DEF0_I	第 0 号 SFP 的 MOD_DEF0 信号	LVCMOS33 输入
M-36 GND 地 地 M-37 GND 地 地 M-38 M_SFP1_I_P 与第1号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_P 输入	M-34	M_CLK_I_N	10MHz 时钟输入	LVDS_N 输入
M-37 GND 地 地 M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-35	M_SFP1_MOD_DEF0_I	第 1 号 SFP 的 MOD_DEF0 信号	LVCMOS33 输入
M-38 M_SFP1_I_P 与第 1 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入	M-36	GND	地	地
M-38 M_SFP1_I_P 数据率 LVDS_P 输入	M-37	GND	地	地
M-39 M_SFP0_MOD_DEF1_IO 第 0 号 SFP 的 MOD_DEF1 信号 LVCMOS33 三通	M-38	M_SFP1_I_P		LVDS_P 输入
	M-39	M_SFP0_MOD_DEF1_IO	第 0 号 SFP 的 MOD_DEF1 信号	LVCMOS33 三通

M-40 M_SFP1_I_N 与第1号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-41 M_SFP0_MOD_DEF2_IO 第 0号 SFP 的 MOD_DEF2 信号 LVCMOS33 三通 M-42 GND 地 地 M-43 M_SFP1_MOD_DEF1_IO 第 1号 SFP 的 MOD_DEF1 信号 LVCMOS33 三通 M-44 M_SFP1_O_P 与第 1号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_P 输出 M-45 M_SFP1_O_P 与第 1号 SFP 的 MOD_DEF2 信号 LVCMOS33 三通 M-46 M_SFP1_O_N 与第 1号 SFP 的 MOD_DEF2 信号 LVCMOS33 三通 M-46 M_SFP1_O_N 与第 1号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-47 GND 地 地 地 M-48 GND 地 地 比VDS_P 输出 M-49 FPGA_TDO JTAG TDO 信号 LVCMOS33 LVDS_P 输出 M-50 M_SFP0_O_P 与第 0号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFP0_O_N 与第 0号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-54 GND 地 地 M-55				
M-42 GND 地 地 M-43 M_SFP1_MOD_DEF1_IO 第 1 号 SFP 的 MOD_DEF1 信号 LVCMOS33 三通 M-44 M_SFP1_O_P 与第 1 号 SFP 的 TX 连接, 1.25 GHz 数据率 LVDS_P 输出 M-45 M_SFP1_MOD_DEF2_IO 第 1 号 SFP 的 MOD_DEF2 信号 LVCMOS33 三通 M-46 M_SFP1_O_N 与第 1 号 SFP 的 TX 连接, 1.25 GHz 数据率 LVDS_N 输出 M-47 GND 地 地 M-48 GND 地 地 M-49 FPGA_TDO JTAG TDO 信号 LVCMOS33 M-50 M_SFP0_O_P 与第 0 号 SFP 的 TX 连接, 1.25 GHz 数据率 LVCMOS33 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFPO_O_N 与第 0 号 SFP 的 TX 连接, 1.25 GHz 数据率 LVCMOS33 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_I_P 与第 0 号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_P 输入 M-57 3.3V 单端口约为 2W, 双端口约为 3W 电源输入	M-40	M_SFP1_I_N		LVDS_N 输入
M-43 M_SFP1_MOD_DEF1_IO 第 1 号 SFP 的 MOD_DEF1 信号 LVCMOS33 三通 M-44 M_SFP1_O_P 与第 1 号 SFP 的 TX 连接,1.25GHz 数据率 LVDS_P 输出 M-45 M_SFP1_MOD_DEF2_IO 第 1 号 SFP 的 MOD_DEF2 信号 LVCMOS33 三通 M-46 M_SFP1_O_N 5第 1 号 SFP 的 TX 连接,1.25GHz 数据率 LVDS_N 输出 M-47 GND 地 地 M-48 GND 地 地 M-49 FPGA_TDO JTAG TDO 信号 LVCMOS33 M-50 M_SFP0_O_P 与第 0 号 SFP 的 TX 连接,1.25GHz 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFP0_O_N 与第 0 号 SFP 的 TX 连接,1.25GHz 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_I_P 数据率 LVDS_P 输入 M-57 3.3V 单端口约为 2W、双端口约为 3W 电源输入 M-58 M_SFPO_I_N 与第 0 号 SFP 的 RX 连接,1.25GHz 数据率 LVDS_N 输入	M-41	M_SFP0_MOD_DEF2_IO	第 0 号 SFP 的 MOD_DEF2 信号	LVCMOS33 三通
M-44 M_SFP1_O_P 与第 1 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_P 输出 M-45 M_SFP1_MOD_DEF2_IO 第 1 号 SFP 的 MOD_DEF2 信号 LVCMOS33 三通 M-46 M_SFP1_O_N 与第 1 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-47 GND 地 地 M-48 GND 地 地 M-49 FPGA_TDO JTAG TDO 信号 LVCMOS33 M-50 M_SFPO_O_P 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFPO_O_N 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVCMOS33 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_I_P 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 单端口约为 2W, 双端口约为 3W 电源输入 M-58 M_SFPO_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 申端口约为 2W, 双端口约为 3W 电源输入 <td>M-42</td> <td>GND</td> <td>地</td> <td>地</td>	M-42	GND	地	地
M-44 M_SFP1_O_P 数据率 LVDS_P 输出 M-45 M_SFP1_MOD_DEF2_IO 第 1 号 SFP 的 MOD_DEF2 信号 LVCMOS33 三通 M-46 M_SFP1_O_N 与第 1 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-47 GND 地 地 M-48 GND 地 地 M-49 FPGA_TDO JTAG TDO 信号 LVCMOS33 M-50 M_SFP0_O_P 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFP0_O_N 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_LP 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 单端口约为 2W, 双端口约为 3W 电源输入 M-58 M_SFPO_LN 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 电端口约为 2W, 双端口约为 3W 电源输入	M-43	M_SFP1_MOD_DEF1_IO	第1号SFP的MOD_DEF1信号	LVCMOS33 三通
M-46 M_SFP1_O_N 与第 1 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-47 GND 地 地 M-48 GND 地 地 M-49 FPGA_TDO JTAG TDO 信号 LVCMOS33 M-50 M_SFP0_O_P 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFP0_O_N 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_I_P 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 单端口约为 2W,双端口约为 3W 电源输入 M-58 M_SFPO_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 电源输入 电源输入	M-44	M_SFP1_O_P		LVDS_P 输出
M-46 M_SFP1_O_N 数据率 LVDS_N 輸出 M-47 GND 地 地 M-48 GND 地 地 M-49 FPGA_TDO JTAG TDO 信号 LVCMOS33 M-50 M_SFP0_O_P 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFP0_O_N 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_I_P 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 申端口约为 2W, 双端口约为 3W 电源输入 M-58 M_SFPO_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 申端口约为 2W, 双端口约为 3W 电源输入	M-45	M_SFP1_MOD_DEF2_IO	第1号SFP的MOD_DEF2信号	LVCMOS33 三通
M-48 GND 地 地 M-49 FPGA_TDO JTAG TDO 信号 LVCMOS33 M-50 M_SFPO_O_P 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFPO_O_N 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_I_P 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-58 M_SFPO_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 单端口约为 2W, 双端口约为 3W 电源输入	M-46	M_SFP1_O_N		LVDS_N 输出
M-49 FPGA_TDO JTAG TDO 信号 LVCMOS33 M-50 M_SFP0_O_P 与第 0 号 SFP 的 TX 连接, 1.25 GHz 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFP0_O_N 与第 0 号 SFP 的 TX 连接, 1.25 GHz 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFP0_I_P 与第 0 号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_P 输入 M-57 3.3V 与第 0 号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_N 输入 M-58 M_SFP0_I_N 与第 0 号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_N 输入 M-59 3.3V 单端口约为 2W, 双端口约为 3W 电源输入	M-47	GND	地	地
M-50 M_SFP0_O_P 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFP0_O_N 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_LP 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 单端口约为 2W, 双端口约为 3W 电源输入 M-58 M_SFPO_LN 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 单端口约为 2W, 双端口约为 3W 电源输入	M-48	GND	地	地
M-50 M_SFP0_O_P 数据率 LVDS_P 输出 M-51 FPGA_TDI JTAG TDI 信号 LVCMOS33 M-52 M_SFP0_O_N 与第 0 号 SFP 的 TX 连接, 1.25 GHz 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_I_P 与第 0 号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_P 输入 M-57 3.3V 电源输入 M-58 M_SFPO_I_N 与第 0 号 SFP 的 RX 连接, 1.25 GHz 数据率 LVDS_N 输入 M-59 3.3V 电源输入	M-49	FPGA_TDO	JTAG TDO 信号	LVCMOS33
M-52 M_SFP0_O_N 与第 0 号 SFP 的 TX 连接, 1.25GHz 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFP0_I_P 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 与第 0 号 SFP 的 RX 连接, 1.25GHz 单端口约为 3W 电源输入 M-58 M_SFP0_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 电源输入	M-50	M_SFP0_O_P		LVDS_P 输出
M-52 M_SFP0_O_N 数据率 LVDS_N 输出 M-53 FPGA_TCK JTAG TCK 信号 LVCMOS33 M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFPO_I_P 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 电源输入 M-58 M_SFPO_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 电源输入	M-51	FPGA_TDI	JTAG TDI 信号	LVCMOS33
M-54 GND 地 地 M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFP0_I_P 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 电源输入 电源输入 M-58 M_SFP0_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 电源输入 电源输入	M-52	M_SFP0_O_N		LVDS_N 输出
M-55 FPGA_TMS JTAG TMS 信号 LVCMOS33 M-56 M_SFP0_I_P 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 电源输入 M-58 M_SFP0_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 电源输入	M-53	FPGA_TCK	JTAG TCK 信号	LVCMOS33
M-56 M_SFP0_I_P 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_P 输入 M-57 3.3V 电源输入 M-58 M_SFP0_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 供电单端口约为 2W, 双端口约为 3W 电源输入	M-54	GND	地	地
M-56 M_SFP0_I_P 数据率 LVDS_P 输入 M-57 3.3V 电源输入 M-57 3.3V 电源输入 M-58 M_SFP0_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 供电单端口约为 2W, 双端口约为 3W 电源输入	M-55	FPGA_TMS	JTAG TMS 信号	LVCMOS33
M-57 3.3V 单端口约为 2W,双端口约为 3W 电源输入 M-58 M_SFPO_I_N 与第 0 号 SFP 的 RX 连接, 1.25GHz 数据率 LVDS_N 输入 M-59 3.3V 供电单端口约为 2W,双端口约为 3W 电源输入	M-56	M_SFP0_I_P		LVDS_P 输入
M-58 M_SFP0_I_N 数据率 LVDS_N 输入 M-59 3.3V 供电 电源输入 单端口约为 2W,双端口约为 3W	M-57	3.3V		电源输入
M-59 3.3V 电源输入 单端口约为 2W,双端口约为 3W	M-58	M_SFP0_I_N		LVDS_N 输入
M-60 GND 地 地	M-59	3.3V		电源输入
	M-60	GND	地	地

JP2 连接器引脚说明



管脚序号	管脚名称	管脚说明 (UDP mode)	管脚方向
R-1	R_MOSI	SPI 信号,MOSI 暂时未使用	LVCMOS33
R-2	R_NSS	SPI 信号,NSS,片选信号 暂时未使用	LVCMOS33
R-3	R_MISO	SPI 信号,MISO 暂时未使用	LVCMOS33
R-4	LOCKED_O	相位锁定状态	LVCMOS33 输出
R-5	R_SCLK	SPI 信号,时钟 暂时未使用	LVCMOS33
R-6	RESET_N_I	MINI 复位信号 低电平有效	LVCMOS33 输入
R-7	GND	地	地
R-8	GND	地	地
R-9	R_PDATA_7_I	往 MINI 发送的数据信号第7位	LVCMOS33 输入
R-10	R_PDATA_7_O	从 MINI 接收的数据信号第7位	LVCMOS33 输出
R-11	R_PDATA_6_I	往 MINI 发送的数据信号第 6 位	LVCMOS33 输入

R-12	R_PDATA_6_O	从 MINI 接收的数据信号第 6 位	LVCMOS33 输出
R-13	R_PDATA_5_I	往 MINI 发送的数据信号第 5 位	LVCMOS33 输入
R-14	R_PDATA_5_O	从 MINI 接收的数据信号第 5 位	LVCMOS33 输出
R-15	R_PDATA_4_I	往 MINI 发送的数据 信号第 4 位	LVCMOS33 输入
R-16	R_PDATA_4_O	从 MINI 接收的数据信号第 4 位	LVCMOS33 输出
R-17	GND	地	地
R-18	GND	地	地
R-19	R_RESV0_IO	保留 IO	LVCMOS33
R-20	R_RESV0_IO_P	保留 IO	LVDS_P
R-21	R_RESV1_IO	保留 IO	LVCMOS33
R-22	R_RESV0_IO_N	保留 IO	LVDS_N
R-23	R_RESV2_IO	保留 IO	LVCMOS33
R-24	GND	GND	地
R-25	R_RESV3_IO	保留 IO	LVCMOS33
R-26	R_RESV1_IO_P	保留 IO,差分信号	LVDS_P
R-27	GND	GND	地
R-28	R_RESV1_IO_N	保留 IO,差分信号	LVDS_N
R-29	R_RESV4_IO	保留 IO	LVCMOS33
R-30	GND	地	地
R-31	R_RESV5_IO	保留 IO	LVCMOS33
R-32	R_RESV2_IO_P	保留 IO,差分信号	LVDS_P
R-33	R_RESV6_IO	保留 IO	LVCMOS33
R-34	R_RESV2_IO_N	保留 IO,差分信号	LVDS_N
R-35	R_RESV7_IO	保留 IO	LVCMOS33
R-36	GND	地	地
R-37	GND	地	地
R-38	R_TOD_I_P	TOD 信号输入	LVDS_P 输入
R-39	R_RESV8_IO	保留 IO	LVCMOS33
R-40	R_TOD_I_N	TOD 信号输入	LVDS_N 输入
R-41	R_RESV9_IO	保留 IO	LVCMOS33
R-42	GND	地	地

R-43	R_CLK_125_O_P	锁相环输出 125MHz 同步时钟	LVDS_P 输出
R-44	R_RESV3_IO_P	保留 IO,差分信号	LVDS_P
R-45	R_CLK_125_O_N	锁相环输出 125MHz 同步时钟	LVDS_N 输出
R-46	R_RESV3_IO_N	保留 IO,差分信号	LVDS_N
R-47	GND	地	地
R-48	GND	地	地
R-49	R_GCLK_I_P	时钟输入 暂时未使用	LVDS_P 输入
R-50	R_TOD_O_P	TOD 信号输出	LVDS_P 输出
R-51	R_GCLK_I_N	时钟输入 暂时未使用	LVDS_N 输入
R-52	R_TOD_O_N	TOD 信号输出	LVDS_N 输出
R-53	GND	地	地
R-54	GND	地	地
R-55	R_REFCLK_P	高速串行收发器参考时钟输入 暂时未使用	LVDS_P 输入
R-56	R_PPS_I_P	秒脉冲信 号 输入	LVDS_P 输入
R-57	R_REFCLK_N	高速串行收发器参考时钟输入 暂时未使用	LVDS_N 输入
R-58	R_PPS_I_N	秒脉冲信号输入	LVDS_N 输入
R-59	GND	地	地
R-60	GND	地	地

附录

Appendix

详细参数

Specification

	FPGA
Type	Xilinx Spartan-6 (LX45T)
Package	324pin CSG
Slices	
Memories	
Softcore	LatticeMico32(LM32)
I/O	4 GTX transceiver

On Board Clock		
PLL	TI CDCM61004RHBT (28-683MHz)	
DAC	AD5663BRJ (16bit; 2.7-5.54V)	

Others		
Certification		
Power Supply	3.3V 2A	
Environmental Conditions	Temperature: 0°C ~ +50°C Humidity: 0% ~ 90% RH	
Installation		

Appendix 38 / 41

包装 Package

MINI-WR 包装由以下构成:

- MINI-WR 板卡
- 单模光纤 (**选配件**,数目和长度需要在订购时声明)
- 若干 LC 接口的 SFP 模块,型号分别为: (**选配件**,数目和类型需要在订购时声明)
 - ➤ GE-LC-1490 (紫红色)
 - ➤ GE-LC-1310 (蓝色)

注:有关 SFP 兼容性的信息和使用方法,请咨询 support@synctechnology.cn。

The package of MINI-WR includes:

- MINI-WR mezzanine
- SM fibers (optional, specify the length and quantity when ordering)
- SFP LC modules (optional, specify the type and quantity when ordering)
 - ➤ GE-LC-1490 (violet)
 - > GE-LC-1310 (blue)

Note: For SFP compatibility or special long-distance modules, please consult support@synctechnology.cn

环保

Environment Friendly



这个标志意味着当设备已经到达生命周期时,必须送到回收中

- 心,与生活垃圾区分对待。包装箱,包装物中的塑料袋和其余可回收
- 物,应按照地区回收规定进行回收。

千万不要将这些电子设备与生活垃圾一起丢掉,你可能会受到相 应法规制裁。保护环境人人有责。

This symbol means that when the equipment has reached the end of its life cycle, it must be taken to a recycling center and processed separate from domestic waste.

The cardboard box, the plastic contained in the packaging, and the parts that make up this device can be recycled in accordance with regionally established regulations. Never throw this electronic equipment out along with your household waste. You may be subject to penalties or sanctions under the law. Instead, ask for instructions from your municipal government on how to correctly dispose of it. Please be responsible and protect our environment.

Appendix 39 / 41

保修 Warranty

MINI-WR 出厂时经过了完整的测试,并拥有一年的厂商保修。鉴于 MINI-WR 的安装环境不可控,由于安装问题导致的失效不予保修。这包括错用、错接、过热和超出 MINI-WR 设计范围的过载操作。有关保修和更换,请联系:信科太(北京)科技有限公司 Sync technology(Beijing) co., LTD邮箱: info@synctechnology.cn; support@synctechnology.cn

The MINI-WR is fully factory tested and warranted against manufacturing defects for a period of one year. As the circumstances under which this MINI-WR is installed cannot be controlled, failure of the MINI-WR due to installation problems cannot be warranted. This includes misuse, miswiring, overheating, operation under loads beyond the design range of the MINI-WR. For warranty or no warranty replacement please contact:

Sync (Beijing) Technology co., LTD

email: info@synctechnology.cn; support@synctechnology.cn

安全警告 Safety

警告: 本板卡的设计标准电源输入范围是: 3.3V, 请使用符合规范的输入电源。 警告: 为了延长 MINI-WR 的寿命,建议在受控的环境中使用设备,符合附录中的

环境要求。

警告: 本板卡使用时需要连接到对应的载板,保证可靠连接。 警告: 不得直接触摸板卡上的集成电路和元器件,防止静电破坏

Warning: The standard power source for this mezzanine is designed to work in the 3.3V.

Warning: To increase the lifetime of the MINI-WR, it is recommended to use in a controlled ambient environment and limit to the ambient condition stated in the Specification Appendix.

Warning: The mezzanine it supposed to be installed on a carrier, with reliable connection to the carrier circuit.

Warning: Direct touch to the IC and component is forbidden that may cause ESD damage to the mezzanine.

Appendix 40 / 41

FAQ 和错误诊断

FAQs & Troubleshooting

如果你遇到一些问题,请先查供应商的 FAQ 网页,看是否能从中找到答案 (http://www.synctechnology.cn/detaile.aspx?id=156)。也可以进入 wiki 页面 https://www.ohwr.org/project/mini-wr/wikis/home,查看你的问题是否为一个已知的 bug,是否已经有解决方案。还可以联系我司寻求技术支持。

email: info@synctechnology.cn; support@synctechnology.cn

If you are experiencing some issues please look first at the WR node and WRPC FAQ wiki page if you can find an answer. You can also reach out the wiki to see if your issue is a known bug and if a solution was found:

https://www.ohwr.org/project/mini-wr/wikis/home
You can also request Technical Support by contacting us. email:
info@synctechnology.cn; support@synctechnology.cn

联系我们

Contact US

信科太(北京)科技有限公司 北京市海淀区双清路 启迪(八家)创业园 A508 室 http://www.synctechnology.cn 0086-13070165776 info@synctechnology.cn support@synctechnology.cn

Sync Technology (Beijing) co., LTD
A508, QIDI (Bajia) incubator
Shuangqing Road, Haidian District,
Beijing
http://www.synctechnology.cn/
0086-13070165776
info@synctechnology.cn
support@synctechnology.cn



Appendix 41 / 41